

УДК 62-82:658.512.011.56

А.І. Петренко, д-р техн. наук, О.О. Попов, Д.М. Кот

## Паралельний алгоритм скорочення розмірності RLC-схем

Предложена параллельная реализация алгоритма сокращения размерности RLC-схем на основе Y-Δ преобразования с использованием модифицированного кластерного алгоритма Санжовани-Винсентелли разрезания графов. Приведены результаты моделирования, подтверждающие эффективность предложенного алгоритма.

Parallel implementation of the RLC-circuit reduction algorithm based on Y-Δ transformation using modified cluster Sangiovanni – Vincentelli algorithm for tearing graphs was proposed. Results of modeling that prove efficiency of the proposed algorithm are presented.

### Вступ

На сьогодні існує декілька підходів до вирішення проблеми зменшення розмірів математичних моделей MEMC при мінімальних або таких, що контролюються, втратах точності. Для пакетів схмотехнічного проектування найбільш придатним є перетворення рівнянь кінцевих елементів в еквівалентну схему заміщення і застосування методу Y-Δ перетворення для її скорочення [1,2]. В роботі досліджено алгоритм скорочення математичних моделей RLC - схем на базі Y-Δ перетворення, який відрізняється від існуючих [3,4] стратегією вибору послідовності виключення вузлів, яка забезпечує мінімальні втрати точності, більш широким набором формул для перерахунку та ідентифікації типів провідностей, які з'являються у процесі виключення вузлів, та методикою їх отримання [5].

### 1. Короткий опис алгоритму

Для кожного вузла в схемі визначаються дві часові сталі:

$$\tau_{RCi} = C_i / G_i \text{ та } \tau_{LCi} = \sqrt{C_i / B_i},$$

де  $C_i = \sum_{j=1}^k c_j$  – сума всіх ємностей,

$B_i = \sum_{j=1}^k b_j$  – сума всіх величин, зворотніх до індуктивностей),

$G_i = \sum_{j=1}^k g_j$  – сума всіх провідностей, підключених до вузла  $i$ .

Вузлова стала часу вузла  $i$  визначається як  $\tau_i = \max(\tau_{RCi}, \tau_{LCi})$ . Вузол вважається швидким, якщо його вузлова стала часу менше визначеного користувачем значення  $\tau_{\min}$ , яке залежить від максимальної частоти кола  $\omega_{\max}$ . Далі відбувається поступове скорочення швидких вузлів в схемі, починаючи з вузлів з найменшим значенням  $\tau_i$ . При цьому створюються нові елементи між вузлами, їх кількість становить  $k(k-1)/2$ , де  $k$  - кількість вузлів, зв'язаних з вузлом, що видаляється (рис. 1).

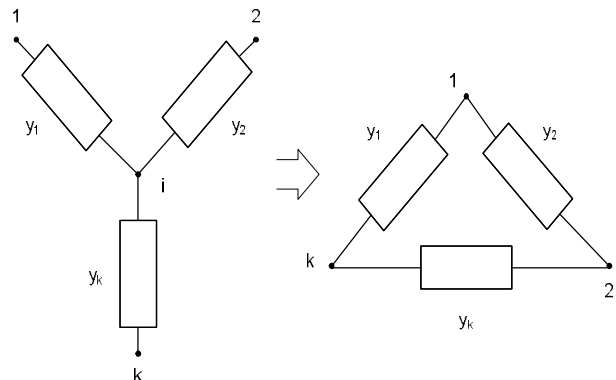


Рис. 1. Створення нових елементів при скороченні вузла  $i$  (Y-Δ перетворення)

Наведений алгоритм має суттєвий недолік - велика кількість нових елементів, що створюються в схемі під час скорочення. Із зростанням кількості нових елементів збільшується і кількість пов'язаних з їх утворенням арифметичних операцій. Для об'єктів з багатьма ступенями свободи та складною геометрією кількість зв'язків вузла може становити 100 та більше. Причому, під час скорочення щільність схеми  $i$ , відповідно, зв'язаність вузлів зростають. Для деяких схем заміщення навіть з невеликою кількістю вузлів  $\sim 10^4$  та малою початковою середньою щільністю видалення окремих вузлів призводить до появи декількох мільйонів нових елементів, що значно збільшує час скорочення та може повністю нівелювати результат внаслідок зростання методичної та інструментальної похибок.

### 2. Опис паралельного алгоритму скорочення

Для усунення недоліків пов'язаних з великим часом скорочення в разі великих розмірів схем заміщення механічних об'єктів із складною геометрією і декількома ступенями свободи є доці-

льним використанням мультипроцесорних обчислювальних систем (МОС).

В основні запропонованого паралельного алгоритму лежить ідея діакоптичного підходу, тобто після попереднього аналізу початкової еквівалентної RLC - схеми заміщення (структурної матриці схеми) із  $m$  вузлів здійснюється її розділення на  $n$  незалежних підсхем (блоків), по можливості однакового розміру  $m/n$  (в залежності від структурного графа). Ці підсхеми зв'язані між собою тільки фіксованою мінімальною кількістю вузлів (кеер-вузлами), що не скорочуються при використанні базового алгоритму скорочення RLC - схем, причому елементи, що знаходяться на «шві» (між цими вузлами) потрапляють тільки до одного суміжного блоку.

Для цього розроблена модифікація евристичного кластерного алгоритму А. Санжованні-Вінсентеллі [6], що дозволяє перетворювати початкову структурну матрицю схеми до блочно-діагонального вигляду з обрамленням (рис. 2), при чому вузли схеми, що потрапляють в обрамлення є кеер-вузлами, а вузли діагональних блоків – вузлами відповідних підсхем.

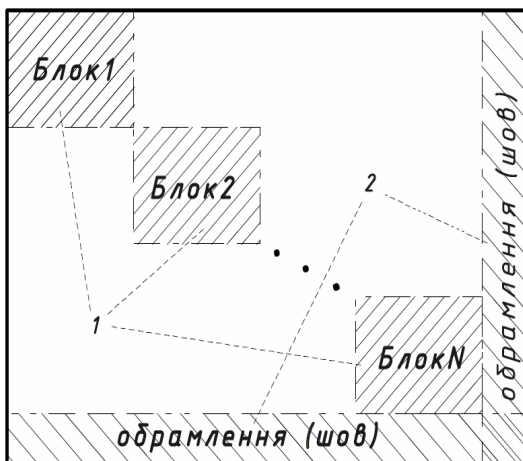


Рис. 2. Блочно-діагональний вигляд матриці з обрамленням

(1 – блоки, що представляються підсхемами в паралельній реалізації скорочення RLC-схем; 2 – обрамлення, що відповідає кеер – вузлам, за якими зв'язані підсхеми)

Надалі відбувається паралельне скорочення кожної підсхеми окремо базовим алгоритмом із заданим  $\tau_{\min}$  і «склейка» отриманих скорочених підсхем по «шву» в одну з подальшим скороченням із  $\tau_{\min}$  для отримання остаточного результату. Паралельна схема скорочення зображена на рис. 3.

### 3. Модифікація кластерного алгоритму

Модифікація евристичного кластерного алгоритму А. Санжованні – Вінсентеллі зроблена

через те, що базова версія алгоритму не була призначена для схем із структурним графом, який містить сильно-зв'язані вузли розділення,

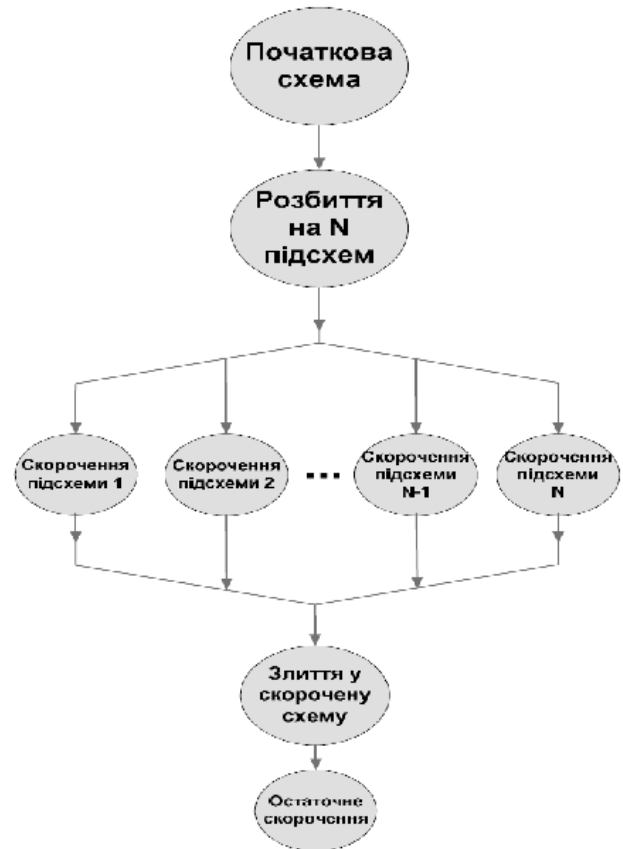


Рис. 3. Паралельна схема скорочення

при видаленні яких структурний граф розпадається на незв'язані підграфи. При цьому алгоритм включає даний вузол до одного із блоків (підсхеми) замість включення до обрамлення, внаслідок чого при ситуації повної зв'язаності з усіма іншими вузлами поділення початкової схеми на підсхеми взагалі унеможливилося. Для усунення цього ефекту модифікований алгоритм включає відповідний вузол в обрамлення і шукає наступний серед суміжних вузлів, для включення в даний блок, найбільш оптимальний за критерієм зменшення приросту поточного контуру. Ситуація наявності в структурному графі схеми сильно-зв'язаних вузлів розділення є властивою для схем заміщення MEMS, оскільки часто ступені свободи механічного тіла не пов'язані між собою, окрім як за базисним вузлом, який зв'язаний з більшістю вузлів схеми.

Базовий алгоритм А. Санжованні – Вінсентеллі йде по вузлам з найменшою зв'язаністю, включаючи їх в поточний блок, внаслідок чого зазвичай швидко зростає контур (на рис. 4 після 5 ітерації контур складає 5 вузлів), тому критерій вибору наступного вузла було замінено в модифікації на вибір вузла із мінімальним приростом контуру даного блоку. На рис. 4 показані

кроки базового алгоритму, а на рис. 5 – кроки модифікованого алгоритму, коли після 4-х кроків за базовим алгоритмом на 5-му кроці замість вузла із зв'язаністю 3 вибирається вузол із зв'язаністю 5, внаслідок чого поточний контур не змінюється – складає 4 вузла).

У випадку коли не набрана відповідна кількість вузлів в блок, тобто розмір блока  $< m/n$ , і поточне обрамлення даного блока складається тільки із сильно-зв'язаних вузлів, базовий алгоритм А. Санжованні – Вінсентеллі включає в поточний блок тільки вузли із поточного контуру, тобто сильно-зв'язаний вузол в блок (рис. 6). Внаслідок цього різко збільшувався його контур (на  $n^2$  вузлів) і відбувалося в подальшому нерівномірне розділення початкової схеми на підсхеми (блоки). Для усунення цього ефекту модифікований алгоритм включає відповідний вузол в обрамлення (рис. 7) і шукає наступний серед суміжних вузлів із зв'язаністю  $k$  для включення в даний блок найбільш оптимальний за критерієм зменшення приросту поточного контуру. В результаті контур збільшується максимально на  $k$  вузлів на шляху досягнення необхідного розміру блока приблизно  $m/n$ .

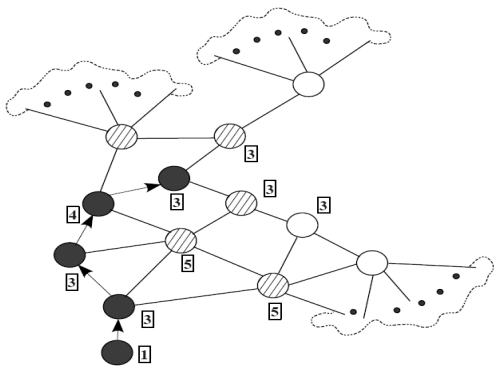


Рис. 4. Базовий кластерний алгоритм

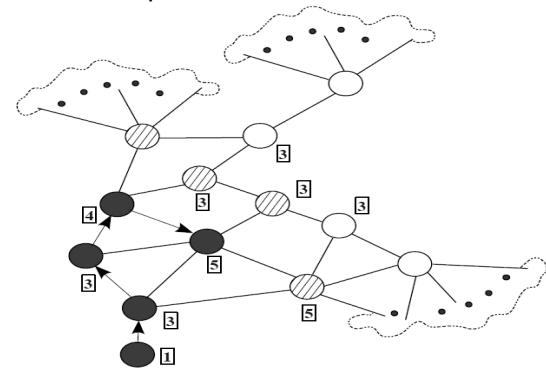


Рис. 5. Модифікований кластерний алгоритм

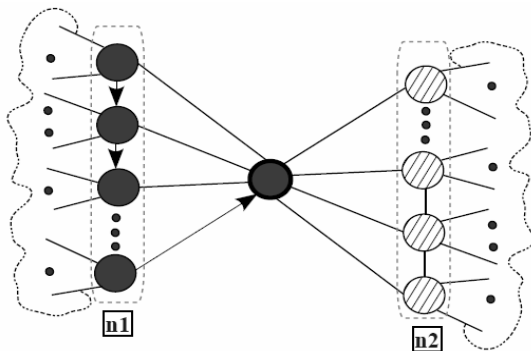


Рис. 6. Базовий кластерний алгоритм

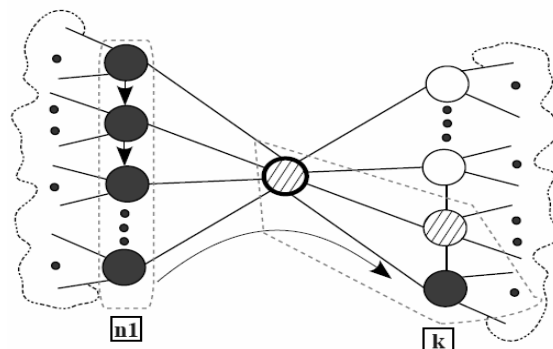


Рис. 7. Модифікований кластерний алгоритм

Окрім даних модифікацій було змінено критерій зупинки алгоритму із умови зупинки, коли кількість вузлів в підсхемі досягає  $m/n$  на умову, коли кількість вузлів в блоці разом із кількістю вузлів в контурі досягає  $m/n$ .

#### 4. Чисельні результати

Ефективність запропонованих модифікацій в порівнянні з базовим алгоритмом RLC-скорочення було перевірено на прикладі отримання макромоделі мікроакселерометра [7] за оцінками:

- значення похибки (відхилення значень власних частот скороченої схеми від справжніх);
- часу скорочення і відповідного коефіцієнту прискорення;
- кількості зафіксованих елементів в схемі в процесі скорочення та їх максимальне значення.

Результати скорочення схеми заміщення мікроакселерометра при різних значеннях

$\tau_{\min} = 5 \cdot 10^{-5}$  і  $n=1..4$  приведені в табл.1, загальна кількість елементів під час скорочення на кожній ітерації рис. 8, відповідна зафіксована максимальна кількість елементів в підсхемах на рис. 9, коефіцієнт прискорення паралельної реалізації на рис. 10.

Таблиця 1. Результати скорочення розмірів моделі мікроакселерометра

	Початкова схема	$2 \cdot 10^{-5}$				$5 \cdot 10^{-5}$			
		n=1	n=2	n=3	n=4	n=1	n=2	n=3	n=4
$\tau_{\min}$	-	2	314	309	469	2	314	309	469
Кількість кеер-вузлів	2	1881	604	426	375	1881	604	426	375
Кількість вузлів в підсхемах	-		965	515	315		965	515	315
				633	242			633	242
				482					482
Час виконання (с)	-	4136	2017	709	1067	4181	2023	712	1089
Коеф. прискорення	-	<b>1,000</b>	<b>2,051</b>	<b>5,834</b>	<b>3,876</b>	<b>1,000</b>	<b>2,067</b>	<b>5,872</b>	<b>3,839</b>
1 мода, кГц (похибка, %)	181,36	181,3	181,33	181,35	181,36	181,3	181,46	181,57	181,36
		<b>(0,03%)</b>	<b>(0,02%)</b>	<b>(0,01%)</b>	<b>(0,00%)</b>	<b>(0,03%)</b>	<b>(0,06%)</b>	<b>(0,12%)</b>	<b>(0,00%)</b>
2 мода, кГц	1018,1	-	-	-	-	-	-	-	-
3 мода, кГц	1018,1	-	-	-	-	-	-	-	-
4 мода, кГц (похибка, %)	3427,8	4210,85	4000,4	3835,75	3730,3	4210,85	3036,45	3461,5	3730,3
		<b>(22,84%)</b>	<b>(16,70%)</b>	<b>(11,90%)</b>	<b>(8,82%)</b>	<b>(22,84%)</b>	<b>(11,42%)</b>	<b>(0,98%)</b>	<b>(8,82%)</b>
Кількість вузлів	1883	18							
Загалом елементів	62868	306							
% ущільн. по вузлам	-	99,04%							
% ущільн. по елем.	-	99,51%							

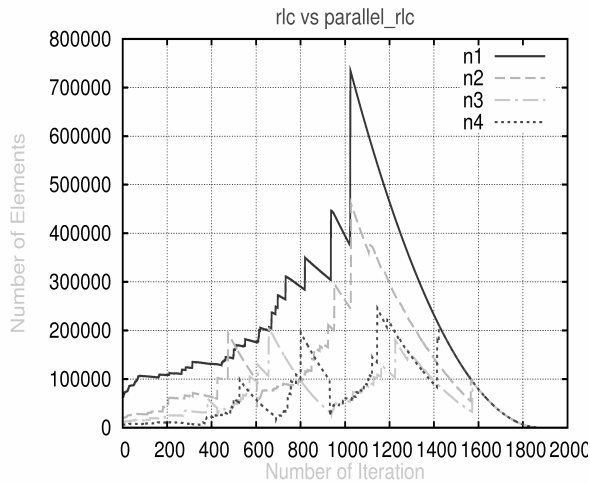


Рис. 8. Загальна кількість елементів під час скорочення при розділенні на  $n$  підсхем

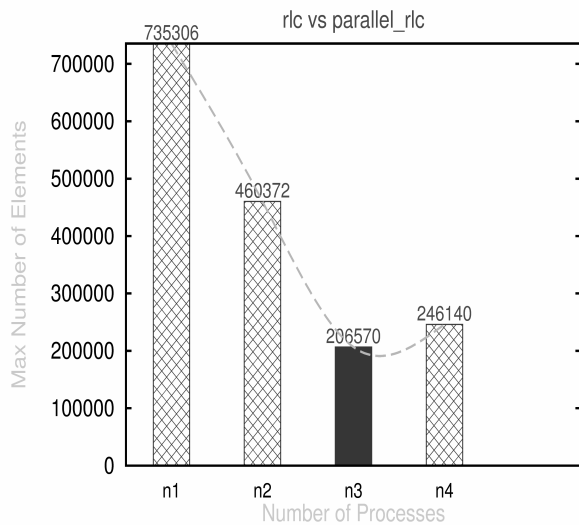


Рис. 9. Максимальна кількість елементів в підсхемах під час скорочення при розділенні на  $n$  підсхем

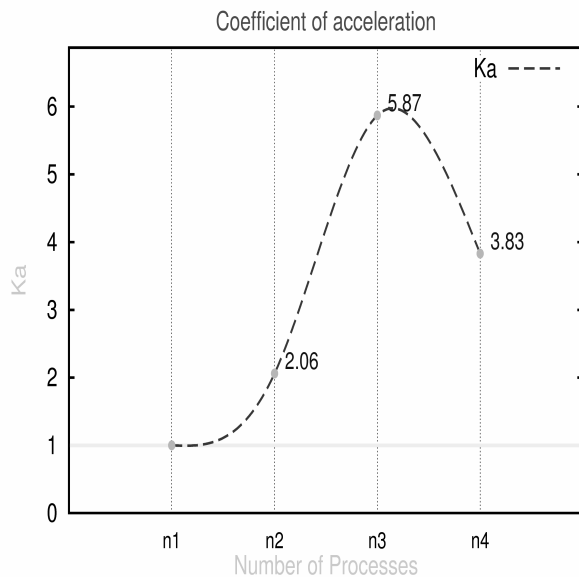


Рис. 10. Коефіцієнт прискорення при розділенні на  $n$  підсхем

## Висновки

Запропоновано модифікацію алгоритму Санжованні - Вінсентеллі для застосування на МОС для усунення недоліків базового алгоритму: значного часу скорочення і як наслідок великої методичної і інструментальної похибки. Застосування паралельної модифікації базового алгоритму забезпечує скорочення часу обчислень до десятків разів для складних прикладів. При цьому можливо керувати як точністю отриманих макромоделей, так і їх розміром в залежності від вибраного  $\tau_{\min}$  та кількості  $n$  підсхем на які розділяється схема заміщення рівнянь кінцевих елементів.

## Література

1. *Петренко А.І.* Мережний пакет для комп'ютерного проектування мікроелектро- механічних систем. // Розвиток інформаційно - телекомунікаційних технологій та розбудова інформаційного суспільства в Україні. Тематичний збірник. - Київ: Вид. „Зв'язок”. - 2007.- с.143-156.
2. *Ладогубец В.В.* Методи макромоделювання МЭМС / Ладогубец В.В., Безносик А.Ю., Крамар А.В., Финогенов А.Д. // Електроника и связь: Тематический выпуск «Проблемы электроники». - 2008. - 4.1. - № 1-2. - С. 244-248.
3. *Sheehan B.N.* TICER: Realizable Reduction of Extracted RC Circuits // Digest of Technical Papers IEEE/ACM Proc. of ICCAD. - 1999. - P. 200-203.
4. *Chirayu S.A.* Realizable RLCK Circuit Crunching / Chirayu S.A., Masud H.C., Yehea I.I. // Proceedings of the 40th conference on Design automation 2003. - Anaheim, CA, USA. - 2003.
5. *Ладогубец В.В.* Алгоритм уменьшения размерности RLC цепей / Ладогубец В.В., Руденко Ю.А., Ладогубец А.В. // Електроника и связь. - 2004. - №21. - С. 72-74.
6. *Alberto Sangiovanni - Vincentelli, Li-Kuan Chen, and Leon O. Chua,* An Efficient Heuristic Cluster Algorithm for Tearing Large Scale Networks, IEEE Transactions on Circuits and Systems, Vol. CAS24, No. 12, December 1977. - pp. 709-717.
7. *Петренко А.И.* Расчет собственных частот мембранных структур с использованием пакетов схемотехнического проектирования / Петренко А.И., Ладогубец В.В., Безносик А.Ю., Финогенов А.Д., Чкалов А.В. // Радиоэлектроника: Известия вузов. - 2009. - №7. - С. 19-25.